

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

第2802455号

(45)発行日 平成10年(1998) 9月24日

(24)登録日 平成10年(1998) 7月17日

(51)Int.Cl.⁸

識別記号

F I

H 0 1 L 27/108

H 0 1 L 27/10

6 8 1 F

21/768

6 2 1 Z

21/8242

21/90

A

請求項の数 2 (全 11 頁)

(21)出願番号 特願平3-105719

(22)出願日 平成3年(1991) 5月10日

(65)公開番号 特開平4-335569

(43)公開日 平成4年(1992)11月24日

審査請求日 平成7年(1995) 4月7日

(73)特許権者 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 本並 薫

兵庫県伊丹市瑞原4丁目1番地 三菱電

機株式会社 エル・エス・アイ研究所内

(74)代理人 弁理士 深見 久郎 (外3名)

審査官 栗野 正明

(56)参考文献 特開 平4-321213 (J P, A)

特開 昭61-194771 (J P, A)

特開 平3-82077 (J P, A)

特開 昭64-81358 (J P, A)

最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

1

(57)【特許請求の範囲】

【請求項1】 基板上に形成された、段差を有する層間絶縁膜と、
前記層間絶縁膜上の、前記段差を境にして低い方の表面に形成された第1の導電配線層と、
前記層間絶縁膜上の、前記段差を境にして高い方の表面に形成された第2の導電配線層と、
前記段差の近傍の、前記第2の導電配線層の直下に配されるときとも、前記層間絶縁膜の段差と同程度の高さを有し、それ自体導電配線として機能しないダミー配線と、
前記段差を含む領域において、前記ダミー配線の直上から前記基板の表面にかけて連続して形成された導電層とを備え、
前記第1の導電配線層は、前記導電層の前記基板の表面

2

に位置する部分と、前記層間絶縁膜に設けられたコンタクトホールを介して電気的に接続され、

前記第2の導電配線層は、前記導電層の前記ダミー配線の直上に位置する部分と、前記層間絶縁膜に設けられたコンタクトホールを介して電気的に接続された、半導体装置。

【請求項2】 第1の導電配線層を形成する第1の領域および第2の導電配線層を形成する第2の領域を主表面上に有する基板を準備する工程と、

10 前記基板の前記第2の領域の、前記第1および第2の領域の境界近傍に、所定高さのダミー配線を形成する工程と、
前記段差を含む領域において、前記ダミー配線の直上から前記基板の表面にかけて連続する導電層を形成する工程と、

前記基板の主表面に、前記第1および第2の領域間の境界に前記ダミー配線の高さと同程度の段差を有し、かつ、前記第2の領域において前記第1の領域よりも高い表面を有する層間絶縁膜を、前記ダミー配線および前記導電層を覆うように形成する工程と、
 前記第1の領域において、前記導電層表面の一部または前記基板表面の一部を露出するように第1のコンタクトホールを形成する工程と、
 前記第2の領域において、前記導電層表面の一部を露出するように第2のコンタクトホールを形成する工程と、
 前記第1および第2のコンタクトホールの内表面を含む前記層間絶縁膜の表面に導電膜を堆積させる工程と、
 前記導電膜をパターニングし、前記層間絶縁膜の、前記段差を境にして低い方の表面に、前記第1のコンタクトホールを介して前記導電膜と電気的に接続される第1の導電配線層を、高い方の表面に前記第2のコンタクトホールを介して前記導電膜と電気的に接続される第2の導電配線層を形成する工程とを備え、
 前記第1および第2の導電配線層を形成する工程は、前記第1の導電配線層のパターンと同一のパターンに加えて、前記第2の導電配線層を形成すべき領域を全て覆うパターンを有するフォトリソマスクを形成して、これをマスクとしてエッチングすることにより、前記第1の導電配線層を形成する工程と、
 前記第2の導電配線層のパターンと同一のパターンに加えて、前記第1の導電配線層を形成すべき領域を全て覆うパターンを有するフォトリソマスクを形成して、これをマスクとしてエッチングすることにより、前記第2の導電配線層を形成する工程とを含む、半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置およびその製造方法に関し、特に、層間絶縁膜の段差の影響を受けることなく所望の導電配線パターンを形成する技術に関するものである。

【0002】

【従来の技術】DRAM (Dynamic Random Access Memory) などの集積回路 (以下「IC」と略記する。) メモリは、多数の記憶素子からなるメモリセルアレイ部と、入出力に必要な周辺回路部から構成されており、それらは同一基板上に形成されている場合が多い。

【0003】図12は、一般のRAMの構成の一例を示すブロック図である。図12を参照して、メモリセルアレイ1には、複数のワード線および複数のビット線が互いに交差するように配置されている。これらのワード線とビット線との各工程には、メモリセルが設けられている。メモリセルの選択は、Xアドレスバッファデコーダ2によって1つのワード線を、Yアドレスバッファデコーダ

ータ3によって1つのビット線をそれぞれ選択することによって行なわれる。選択されたメモリセルにデータが書込まれたり、あるいはそのメモリセルに蓄えられていたデータが読出されたりするが、このデータの書込/読出の指示は、R/W制御回路4によって与えられ得る読出/書込制御信号 (R/W) によって行なわれる。データの書込時には、入力データ (Din) がR/W制御回路4を介して選択されたメモリセルに入力される。一方、データの読出時には、選択されたメモリセルに蓄えられているデータがセンスアンプ5によって検出された後、増幅され、データ出力バッファ6を介して出力データ (Dout) として外部へ出力される。

【0004】図13には、メモリセルの書込/読出動作を説明するためのダイナミック型メモリセルの等価回路図を示している。

【0005】図13を参照して、ダイナミック型メモリセルは、1組の電界効果型トランジスタ7とキャパシタ8とからなる。電界効果型トランジスタ7のゲート電極は、ワード線9に接続される。キャパシタ8に接続される電界効果型トランジスタ7のソース/ドレイン電極は、ビット線10に接続される。データの書込時には、ワード線9に所定の電位が印加される。それによって、電界効果型トランジスタ7が導通し、ビット線10に印加された電荷がキャパシタ8に蓄えられる。一方、データの読出時には、ワード線9に所定の電位が印加される。それによって、電界効果型トランジスタ7が導通し、キャパシタ8に蓄えられていた電荷がビット線10を介して取出される。

【0006】次に、従来のICメモリの構造の一例について、図11を用いて説明する。図11(a)には、従来のメモリセルアレイ部102と周辺回路部101の一部を示す断面図を示しており、図11(b)はその平面レイアウト図を示している。ここで、メモリセルのキャパシタは、スタック型の例について示している。

【0007】このメモリセルは、図11(a)(b)を参照して、シリコン基板11上に、電界効果型トランジスタ18が形成され、この電界効果型トランジスタ18は、ゲート酸化膜19、ゲート電極20、上敷絶縁膜21および側壁絶縁膜22を備えている。また、ゲート電極20はメモリセルアレイの構成上、図には示されていないが、素子分離のためのフィールド酸化膜12上にも配置されている。フィールド酸化膜12の下には、素子分離強化用拡散層13が形成されている。また、電界効果型トランジスタ18のソース/ドレイン領域をなす拡散層14、15が形成されている。

【0008】次に、図13のキャパシタ8に相当するものとして、ストレージノード29、キャパシタ絶縁膜31およびセルプレート32が形成されている。このキャパシタは、前述の拡散層15とコンタクトホール27で電気的に接続されている。図13のビット線10に相当

するものとして、ビット線40が形成されている。このビット線40は、ここではポリサイド構造を有し、多結晶ポリシリコン層38とタングステンシリサイド層39とで構成されている。このビット線40は、前述の拡散層14とコンタクトホール34で電氣的に接続されている。周辺回路部102には、拡散層17が形成されており、これはビット線40とコンタクトホール37で電氣的に接続されている。またキャパシタとビット線40との絶縁は、層間絶縁膜33によって実現している。

【0009】

【発明が解決しようとする課題】現在、ICメモリは、高集積化、高容量化を図るため、上述したスタック型キャパシタを採用している。そのため、ICチップ上でキャパシタを配置している所と、そうでない所の絶対段差が問題となる。特に、上述した従来例のように、ビット線40がキャパシタの上部に構成されている場合、そのビット線40を形成するためのフォトリソマスクを用いた写真製版において、そのレジストパターン形成時の焦点深度が前述の絶対段差より小さいと、チップ上の全てのビット線40について、フォトリソマスク通りの所望の寸法に精度よく加工することが非常に困難であった。

【0010】

【課題を解決するための手段】上記課題を解決するための本発明の半導体装置は、基板上に形成された、段差を有する層間絶縁膜と、層間絶縁膜上の、段差を境にして低い方の表面に形成された第1の導電配線層と、層間絶縁膜上の、段差を境にして高い方の表面に形成された第2の導電配線層と、段差の近傍の、第2の導電配線層の直下に配されるとともに、層間絶縁膜の段差と同程度の高さを有し、それ自体導電配線として機能しないダミー配線と、段差を含む領域において、ダミー配線の直上から基板の表面にかけて連続して形成された導電層とを備え、第1の導電配線層は、導電層の基板の表面に位置する部分と、層間絶縁膜に設けられたコンタクトホールを介して電氣的に接続され、第2の導電配線層は、導電層のダミー配線の直上に位置する部分と、層間絶縁膜に設けられたコンタクトホールを介して電氣的に接続されている。

【0011】また、本発明の製造方法は、第1の導電配線層を形成する第1の領域および第2の導電配線層を形成する第2の領域を主表面上に有する基板を準備する工程と、基板の第2の領域の、第1および第2の領域の境界近傍に、所定高さのダミー配線を形成する工程と、段差を含む領域において、ダミー配線の直上から基板の表面にかけて連続する導電層を形成する工程と、基板の主表面上に、第1および第2の領域間の境界にダミー配線の高さと同程度の段差を有し、かつ、第2の領域において第1の領域よりも高い表面を有する層間絶縁膜を、ダミー配線および導電層を覆うように形成する工程と、第1

の領域において、導電層表面の一部または基板表面の一部を露出するように第1のコンタクトホールを形成する工程と、第2の領域において、導電層表面の一部を露出するように第2のコンタクトホールを形成する工程と、第1および第2のコンタクトホールの内表面を含む層間絶縁膜の表面に導電膜を堆積させる工程と、導電膜をパターニングし、層間絶縁膜の、段差を境にして低い方の表面に、第1のコンタクトホールを介して導電膜と電氣的に接続される第1の導電配線層を、高い方の表面に第2のコンタクトホールを介して導電膜と電氣的に接続される第2の導電配線層を形成する工程とを備え、第1および第2の導電配線層を形成する工程は、第1の導電配線層のパターンと同一のパターンに加えて、第2の導電配線層を形成すべき領域を全て覆うパターンを有するフォトリソマスクを形成して、これをマスクとしてエッチングすることにより、第1の導電配線層を形成する工程と、第2の導電配線層のパターンと同一のパターンに加えて、第1の導電配線層を形成すべき領域を全て覆うパターンを有するフォトリソマスクを形成して、これをマスクとしてエッチングすることにより、第2の導電配線層を形成する工程とを含んでいる。

【0012】上記構成を有することにより本発明の半導体装置によれば、第1の導電配線層と第2の導電配線層とが段差において連続することなく、両者がダミー配線の直上から基板の表面にかけて連続して形成された導電層を介して電氣的に接続されているため、段差部において導電配線層を連続的に形成する必要がない。したがって、上記本願発明の製造方法のように、導電配線層を、段差を境にして層間絶縁膜の低い方の表面と高い方の表面とにそれぞれ分割し、それぞれの高さの領域ごとにフォトリソマスクをパターニングしてエッチングを行なうことができる。そのため、レジストパターン形成時の焦点深度が層間絶縁膜よりも小さくなる場合においても、それぞれの高さの領域においてフォトリソのパターン通りの所望の形状寸法の導電配線層を確保することが可能となる。また、段差部上において導電層のパターンを残すパターニングが不要になることによって、段差部のパターニングにおいて生じやすい導電配線の断線などの問題が解消する。

【0013】

【実施例】以下、本発明の第1の実施例の半導体装置の構造について、図1に基づいて説明する。本実施例の半導体装置は、本発明をDRAMに適用した実施例であって、p型のシリコン基板11表面に素子分離用フィールド酸化膜12が形成され、このフィールド酸化膜12の下面に接して、p型の素子分離境界用拡散層13が設けられている。フィールド酸化膜12により分離されたシリコン基板11表面には、メモセルのMOS型電界効果トランジスタのソース/ドレイン領域となる拡散層と、周辺回路の拡散層17および拡散導電層16が形成

されている。MOS型電界効果トランジスタは、ゲート酸化膜19、ゲート電極20および上敷絶縁膜からなるゲート部18を有し、ゲート部18の左右両側壁には、側壁絶縁膜22が形成されている。ゲート部18は、フィールド酸化膜2上にも形成されている。またフィールド酸化膜12上には、ダミー配線44が形成されており、このダミー配線44は、酸化膜23、ポリシリコン層24および上敷絶縁膜25からなっている。ダミー配線44の側壁には、側壁絶縁膜26が形成されている。隣り合う2つのゲート部18の両方の上に延びるように、メモリのキャパシタが形成されている。このキャパシタは、コンタクト27において拡散層15と電気的に接続されるストレージノード29と、その表面を覆うように形成されたキャパシタ絶縁膜31と、さらにその上を覆うように形成されたセルプレート32とからなっている。ダミー配線44と側壁絶縁膜26上には、ポリシリコン導電層30が形成されている。このポリシリコン導電層30は、コンタクト28において拡散導電層16と接続されている。さらに、シリコン基板11上全面に、層間絶縁膜33が形成され、その層間絶縁膜33には、コンタクトホール34、35、36、37が設けられている。層間絶縁膜33表面には、ポリシリコン層38およびタングステンシリサイド層39からなるビット線40と、ポリシリコン層41およびタングステンシリサイド層42からなるビット線43が形成されている。ビット線40は、コンタクトホール40において拡散層14と、コンタクトホール35においてポリシリコン導電層30とそれぞれ接続されている。またビット線43は、コンタクトホール36において拡散導電層16と、コンタクトホール37において拡散層17とそれぞれ接続されている。本実施例の半導体装置の構成によれば、層間絶縁膜33の段差部を境にして、ビット線40、43が分離して形成され、その相互の接続は、層間絶縁膜33に設けられたコンタクトホール35、36と、層間絶縁膜33より下側のポリシリコン配線層30および拡散導電層16を介して行なわれている。したがって、ビット線を段差部で連続的に形成する必要がないため、段差部のパターンニングにおいて生じやすいビット線の断線などの問題が解消する。

【0014】本実施例の製造方法は、図2ないし図8に基づいて次のように説明される。まず、図2(a)に示すように、p型のシリコン基板11に、いわゆるLOCOS (Local Oxidation of Silicon) 法により素子分離用フィールド酸化膜12を形成し、素子分離境界用拡散層13を、ホウ素イオンを注入することにより形成する。次に、図2(b)に示すように、ゲート酸化膜層219、ゲート電極層220、上敷絶縁膜層221をそれぞれ形成する。その後、フォトリソマスクを用いた写真製版処理をするために、電界効果型トランジスタのゲート部18を形成するフォトリソパターン118

と、ダミー配線を形成するフォトリソパターン144を形成し、選択的エッチング法によって、図3(a)に示すように、電界効果型トランジスタのゲート部18とダミー配線44が同時に形成される。その後、イオン注入によって、シリコン基板11に、電界効果型トランジスタのソース/ドレイン領域を構成する拡散層14、15、周辺回路部の拡散層17、および拡散導電層16を形成する。

【0015】次に、図3(b)に示すように、たとえばCVD (Chemical Vapor Deposition) 法によってSiO₂を堆積することにより、絶縁層222を形成する。これに対して異方性エッチングを全面に施すことにより、図4(a)に示すような側壁絶縁膜22およびダミー配線側壁絶縁膜26を形成する。次に、図4(b)に示すように、キャパシタの下部電極に相当するストレージノード層229を形成し、ストレージノード29を形成するためのフォトリソパターン129、ポリシリコン導電層30(図5(a)参照)を形成するためのフォトリソパターン130を形成し、選択的エッチングにより図5(a)に示すように、ストレージノード29およびポリシリコン導電層30を形成する。

【0016】次に、図5(b)に示すように、キャパシタ絶縁膜層231およびキャパシタの上部電極に対応するセルプレート層232を形成する。その後さらに、フォトリソパターン132を形成し、図6(a)に示すように、選択的エッチングによってキャパシタ絶縁膜31、セルプレート32を形成し、ポリシリコン導電層30は除去されずに残る。

【0017】次に、図6(b)に示すように、層間絶縁層233を形成し、コンタクトホールを形成すべき部分が開口したフォトリソパターン134を形成する。次に、図7(a)に示すように、選択的エッチングによって、コンタクトホール34、35、36および37を設けた層間絶縁膜33を形成する。その後、図7(b)に示すように、全面にビット線を形成するためのポリシリコン層238とタングステンシリサイド層239を形成する。タングステンシリサイド層239の形成は、ポリシリコン層238上にタングステン層をスパッタリングなどによって形成した後、熱処理を施してシリサイド化することによって行なう。

【0018】次に、写真製版処理および選択的エッチングによってビット線を形成するためのフォトリソマスクについて、図8(a)(b)を用いて説明する。図8(a)(b)は、図7(b)の構造にビット線形成のためのフォトリソマスクをパターンニングした状態の平面レイアウト図である。図8(a)(b)のフォトリソマスク340、343、440、443は、いずれも斜線部のフォトリソが残るポジ型のフォトリソマスクである。このとき、写真製版処理上の露光時の重ね合わせ余裕を確保するために、図8中に示す寸法

M₀、M₁、M₂の距離を0.15μm〜0.2μm程度以上確保することが必要である。また、実際のビット線のパターンは、図8(a)のパターン340と図8(b)のパターン443を合わせたものである。図8(a)のパターン343および図8(b)のパターン440は、写真製版処理における2度の露光時において、実際のビット線パターンを露光するためのものである。図7(b)の構造まで形成されたものについて、フォトレジストを塗布し、図8(a)のフォトレジストマスクを用いて露光を行ない、次に図8(b)のフォトレジストマスクを用いて露光を行なう。図8(a)と(b)のパターンの順序を逆にしてもよい。

【0019】以上のような二度の露光工程を経ることにより、各工程のフォトレジストマスクのパターン340、443のそれぞれに対応した焦点深度が得られる。この露光工程終了後に現像処理を行なうことにより、所望のフォトレジストパターンを形成し、選択的エッチングによって図1(a)(b)に示すような、ポリシリコン層38およびタングステンシリサイド層39からなるビット線40と、ポリシリコン層41およびタングステンシリサイド層42からなるビット線43が形成される。

【0020】以上述べたように本実施例によれば、層間絶縁膜33の段差を境にして、低い方の表面に第1導電配線層としてのビット線43を、高い方の表面に第2導電配線層としてのビット線40を形成し、各々別々のフォトレジストパターンを写真製版する。したがって、層間絶縁膜33の段差が写真製版時の焦点深度よりも大きい場合であっても、ビット線43、40各々の写真製版は、焦点深度内で行なえるため、フォトレジストマスクのパターンに一致した精度よいパターン形成を行なうことができる。

【0021】次に、本発明の第2の実施例について、図9を参照して説明する。本実施例が上記第1の実施例と異なるのは、上記第1の実施例においては、ビット線40とビット線43の電気的接続を、ダミー配線44の上面からシリコン基板11表面にかけて形成されたポリシリコン導電層30と、拡散導電層16とによって行なっていたのに対し、本実施例においては、拡散導電層16を設けることなく、ポリシリコン導電層30のみによって行っている点である。

【0022】本実施例は、素子分離領域12上に位置する層間絶縁膜33の段差をまたいで導電配線層としてのビット線40、43が形成される場合に有効に適用され、上記第1の実施例と同様の作用効果を有する。

【0023】次に、本発明の第3の実施例について、図10を参照して説明する。本実施例が上記第1および第2の実施例と異なるのは、ビット線40とビット線43を電気的に接続するポリシリコン導電層30が、シリコン基板11表面に設けられた拡散導電層16の表面にも

延びており、拡散導電層16上においてビット線42とポリシリコン導電層30がコンタクトホールを介して接続されている点である。

【0024】本実施例によれば、拡散導電層16とビット線43とを直接接合するよりも、コンタクト抵抗をより小さく抑えることができる。

【0025】

【発明の効果】以上述べたように本発明によれば、焦点深度よりも大きな段差を有する層間絶縁膜上に、この段差をまたいで導電配線層を形成する場合にも、段差を境にして低い方の表面の導電配線層と高い方の表面の導電配線層とを別々のフォトリソグラフィ工程を行なってパターンニングするため、それぞれの導電配線層は焦点深度内でパターンニングすることができる。したがって、段差の影響を受けることなく所望のパターンの導電配線層が精度よく形成され、多層構造における導電配線の形成が、くびれなどを生じることなく生産性よく行なえるようになる。

【図面の簡単な説明】

【図1】(a)は、本発明の第1の実施例の半導体装置の構造を示す断面図、(b)は、その平面レイアウト図である。

【図2】(a)は、本発明の第1の実施例の半導体装置の製造方法の第1工程を示す断面図、(b)は、同第2工程を示す断面図である。

【図3】(a)は、本発明の第1の実施例における半導体装置の製造方法の第3工程を示す断面図、(b)は、同第4工程を示す断面図である。

【図4】(a)は、本発明の第1の実施例における半導体装置の製造方法の第5工程を示す断面図、(b)は、同第6工程を示す断面図である。

【図5】(a)は、本発明の第1の実施例における半導体装置の製造方法の第7工程を示す断面図、(b)は、同第8工程を示す断面図である。

【図6】(a)は、本発明の第1の実施例における半導体装置の製造方法の第9工程を示す断面図、(b)は、同第10工程を示す断面図である。

【図7】(a)は、本発明の第1の実施例における半導体装置の製造方法の第11工程を示す断面図、(b)は、同第12工程を示す断面図である。

【図8】(a)、(b)は、それぞれ図7(b)に示した第12工程の後に、ビット線をパターンニングするための2段階のフォトレジストマスクのパターンを示す平面レイアウト図である。

【図9】(a)は、本発明の第2の実施例のDRAMのメモリセルの構造を示す断面図、(b)は、その平面レイアウト図である。

【図10】(a)は、本発明の第3の実施例のDRAMのメモリセルの構造を示す断面図、(b)は、その平面レイアウト図である。

11

12

【図11】(a)は、従来のDRAMのメモリセルの構造の一例を示す断面図、(b)は、その平面レイアウト図である。

【図12】一般のRAMのブロック図である。

【図13】DRAMのメモリセルの等価回路図である。

【符号の説明】

* 16 拡散導電層

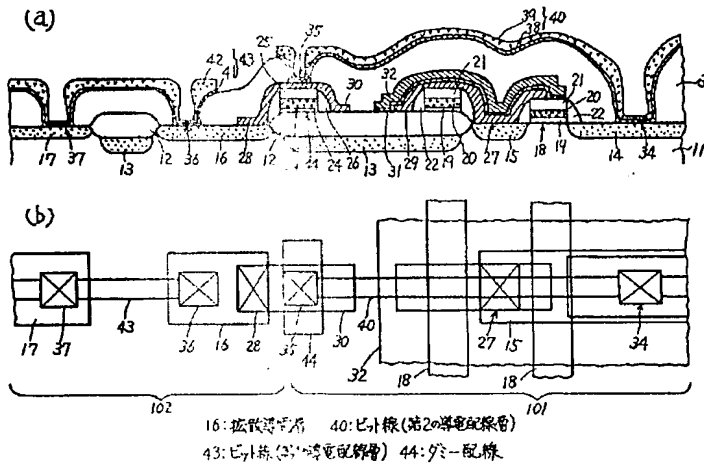
40 ビット線(第2の導電配線層)

43 ビット線(第1の導電配線層)

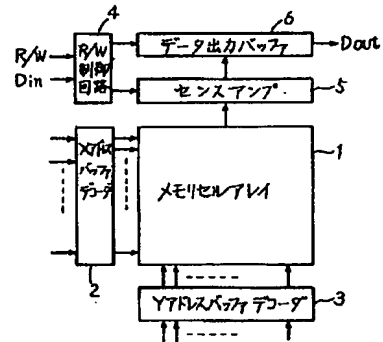
44 ダミー配線

なお、図中同一符号で示した部分は、同一または相当の要素を示す。

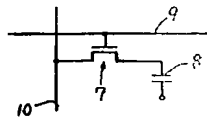
【図1】



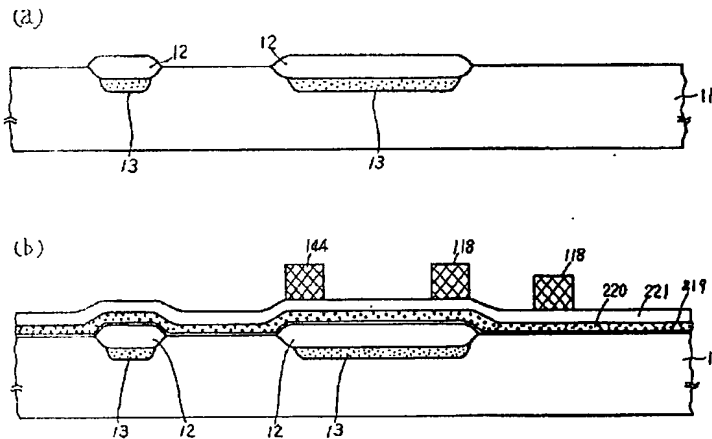
【図12】



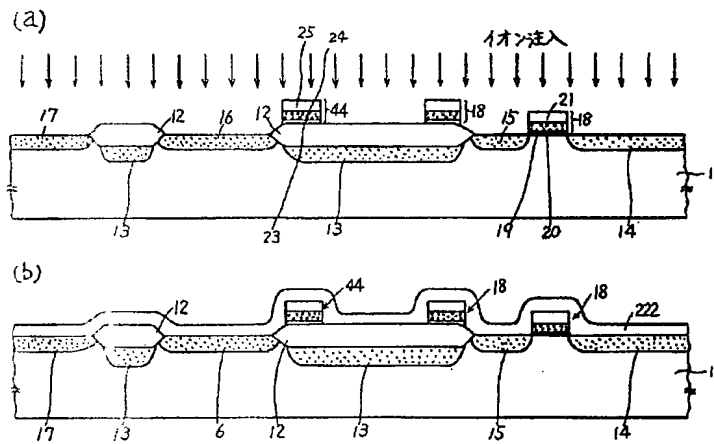
【図13】



【図2】



【図3】



【図4】

